

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: 2002076111 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000322634

(51) Intl. Cl.: H01L 21/76 H01L 27/04 H01L 21/822
H01L 27/08 H01L 29/786 H01L 29/861

(22) Application date: 23.10.00

(30) Priority: 13.06.00 JP 2000176884

(43) Date of application
publication: 15.03.02(84) Designated
contracting states:

(71) Applicant: MITSUBISHI ELECTRIC CORP

(72) Inventor: IPPOSHI TAKASHI
IWAMATSU TOSHIAKI

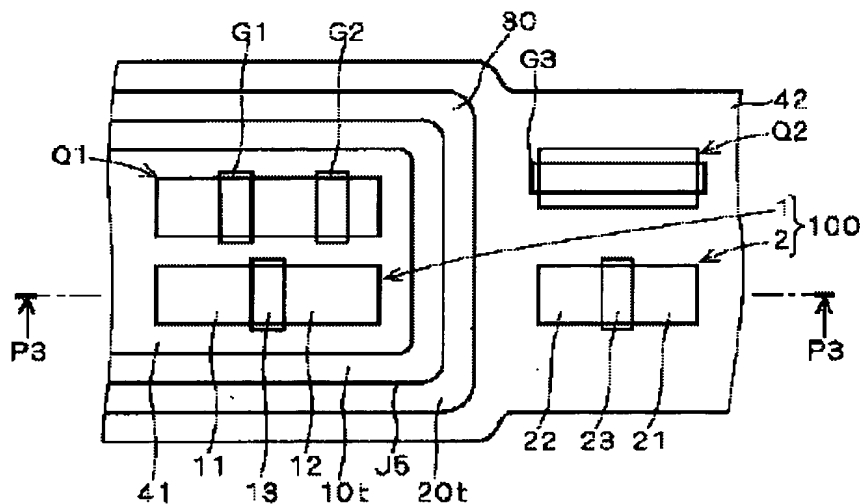
(74) Representative:

(54) SEMICONDUCTOR
DEVICE, MANUFACTURING
METHOD, AND RESISTOR

(57) Abstract:

PROBLEM TO BE SOLVED: To
suppress leakage current at a p-n
junction.

SOLUTION: An N- type semiconductor layer 10 that a partial isolation body 41 is formed on its surface and a P- type semiconductor layer 20 that a partial isolation body 42 is formed on its surface are formed on an insulator 9. The semiconductor layer 10 is provided with a source/drain 11, 12 that are the P+ type semiconductor layer, and thus a PMOS transistor 1 is formed. The semiconductor layer 20 is provided with a source/drain 21, 22 that is the N+ type semiconductor layer, and thus a NMOS transistor 2 is formed. In a CMOS transistor 100 consisting of transistors 1, 2, there is the p-n junction J5 which is formed with the semiconductor layers 10, 20. Because the p-n junction J5 exists in the position that is apart from isolation bodies 41, 42 and thus has very little crystal defects, the leakage current at this position is very small.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76111

(P2002-76111A)

(43) 公開日 平成14年3月15日 (2002. 3. 15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/76		H 0 1 L 27/08	3 3 1 E 5 F 0 3 2
27/04		21/76	M 5 F 0 3 8
21/822		27/04	R 5 F 0 4 8
27/08	3 3 1	29/78	6 1 3 A 5 F 1 1 0
29/786			6 2 1
審査請求 未請求 請求項の数19 O L (全 22 頁) 最終頁に続く			

(21) 出願番号 特願2000-322634 (P2000-322634)
(22) 出願日 平成12年10月23日 (2000. 10. 23)
(31) 優先権主張番号 特願2000-176884 (P2000-176884)
(32) 優先日 平成12年6月13日 (2000. 6. 13)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72) 発明者 一法師 隆志
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72) 発明者 岩松 俊明
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(74) 代理人 100089233
弁理士 吉田 茂明 (外2名)

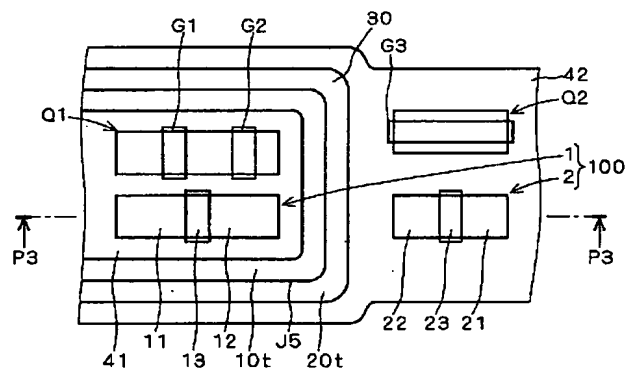
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法並びに抵抗器

(57) 【要約】

【課題】 p n接合におけるリーク電流を抑制する。

【解決手段】 部分分離体41がその表面に形成されたN⁻型半導体層10と、部分分離体42がその表面に形成されたP⁻型半導体層20とが、絶縁体9上に形成される。半導体層10にはP⁻型半導体層であるソース/ドレイン11, 12が設けられ、PMOSTランジスタ1を形成する。半導体層20にはN⁻型半導体層であるソース/ドレイン21, 22が設けられ、NMOSTランジスタ2を形成する。トランジスタ1, 2から構成されるCMOSTランジスタ100において半導体層10, 20が形成するp n接合J5が存在する。p n接合J5は分離体41, 42と離れ、従って結晶欠陥が非常に小さい位置に存在するので、ここにおけるリーク電流は非常に小さい。



【特許請求の範囲】

【請求項1】 少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、第1導電型の第1半導体層、前記第1導電型で前記第1半導体層よりも不純物濃度が低い第2半導体層、前記第1導電型とは反対の第2導電型の第3半導体層、前記第2導電型で前記第3半導体層よりも不純物濃度が低い第4半導体層とを有する半導体膜と、前記基板から遠い側の前記半導体膜の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体とを備え、前記第2半導体層と前記第4半導体層とは前記半導体膜の厚み方向に亘ってpn接合を形成し、前記基板の前記表面に沿って、前記分離体と前記半導体膜との境界から前記分離体へと向かう方向を正とし、前記境界を基準とした前記pn接合の位置の最大値が2 μ m以下である半導体装置。

【請求項2】 前記pn接合は、前記分離体から離れて位置する部分を有する、請求項1記載の半導体装置。

【請求項3】 前記分離体から離れて位置する部分の前記pn接合が、半導体素子を形成する、請求項2記載の半導体装置。

【請求項4】 前記第1半導体層、前記第2半導体層、前記第4半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第3半導体層は、前記pn接合に対するコンタクトとして機能する、請求項3記載の半導体装置。

【請求項5】 前記第1半導体層、前記第4半導体層、前記第2半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第2半導体層は、それぞれ異なる導電型のMOSトランジスタのソース／ドレイン層として機能する、請求項2記載の半導体装置。

【請求項6】 前記分離体から離れて位置する部分の前記pn接合に接する面が絶縁性であるカバーを更に備える、請求項2又は請求項5記載の半導体装置。

【請求項7】 前記第2半導体層は前記第4半導体層中に設けられ、一対の前記第1半導体層が前記第2半導体層中に設けられ、前記一対の前記第1半導体層が前記第2半導体層に対するコンタクトとして機能する、請求項2記載の半導体装置。

【請求項8】 少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられた第1導電型の第1半導体層と、前記基板から遠い側の前記第1半導体層の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体と、前記第1半導体層の前記表面から前記基板の表面に至つ

て延在しつつ前記分離体とは離隔するpn接合を前記第1半導体層と共に形成し、前記第1半導体層中に形成される、前記第1導電型とは反対の第2導電型の第2半導体層とを備える抵抗器。

【請求項9】 前記第2半導体層中に形成され、前記第2導電型で前記第2半導体層よりも不純物濃度が高い一対の第3半導体層を更に備える請求項8記載の抵抗器。

【請求項10】 前記pn接合を覆うゲート電極を更に備える、請求項9記載の抵抗器。

【請求項11】 前記分離体から離れて位置する部分の前記pn接合に接する面が絶縁性であるカバーを更に備える、請求項9記載の抵抗器。

【請求項12】 (a) 絶縁体上に第1導電型の第1半導体層及び前記第1導電型とは反対の第2導電型の第2半導体層によって形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるpn接合を設け、絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の前記表面において、前記pn接合及び前記絶縁体から離隔して設ける工程と、

(b) 前記第1半導体層中に、前記第2半導体層よりも不純物濃度の高い第2導電型の第3半導体層を第1のソース／ドレイン層として一対形成する工程と、

(c) 前記第2半導体層中に、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体層を第2のソース／ドレイン層として一対形成する工程と、

(d) 前記pn接合並びに一対の前記第1のソース／ドレイン層及び前記第2のソース／ドレイン層上に絶縁膜を形成する工程とを備える、半導体装置の製造方法。

【請求項13】 前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート絶縁膜を形成する工程において前記絶縁膜が形成される、請求項12記載の半導体装置の製造方法。

【請求項14】 前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート電極のサイドウォールを形成する工程において前記絶縁膜が形成される、請求項12記載の半導体装置の製造方法。

【請求項15】 少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、その厚み方向に亘ってpn接合が少なくとも一つ形成される半導体膜と、前記半導体膜上に選択的に形成され、前記半導体膜と金属との化合物である金属化合物層とを備え、前記基板の前記表面に沿って、前記化合物層と前記半導体膜との境界から前記半導体膜へと向かう方向を正とし、前記境界を基準とし、少なくとも電圧が印加されるように配置された前記pn接合の全ての位置の最大値が2 μ m以下である半導体装置。

【請求項16】 前記pn接合上に設けられ、前記半導

体膜の金属との化合を阻むマスクを更に備える、請求項 15 記載の半導体装置。

【請求項 17】 前記マスクは、前記半導体膜において形成される MOS トランジスタのゲートと厚み方向に同一構成を有する、請求項 16 記載の半導体装置。

【請求項 18】 (a) 絶縁体上に互いに導電型の異なる第 1 半導体層及び第 2 半導体層によって形成され、前記第 1 半導体層及び前記第 2 半導体層の表面から前記絶縁体に至って延設される p n 接合を設け、前記 p n 接合を開口する開口部を有する絶縁性の分離体を前記絶縁体から遠い側の前記 1 半導体層及び前記第 2 半導体層の表面において前記絶縁体から離隔して設ける工程と、

(b) ゲートを有する半導体素子を前記第 1 半導体層に形成する工程と、

(c) 前記開口部において前記 p n 接合を覆い、前記第 1 半導体層及び第 2 半導体層の少なくともいずれか一方を前記開口部において露出させるマスクを形成する工程と、

(d) 露出した前記第 1 半導体層及び前記第 2 半導体層の前記表面を、金属と化合させる工程とを備える、半導体装置の製造方法。

【請求項 19】 前記工程 (b)、(c) は同一のプロセスで実行される、請求項 18 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、p n 接合を有する半導体装置に関し、特に絶縁性の基板の上に設けられた半導体膜に、基板と接触することなく基板とは反対側で半導体膜に絶縁性の分離体が設けられた構成を呈する半導体装置、抵抗器に関する。

【0002】

【従来の技術】 従来から、いわゆる SOI (Semiconductor On Insulator) 構造が提案されている。図 62 は SOI 構造を呈する CMOS (Complementary Metal Oxide Semiconductor) トランジスタ 200 の構成を例示する断面図である。絶縁体 9 の上には、P⁺ 型の半導体層 20 が設けられており、その絶縁体 9 から遠い側の表面には絶縁体 9 と離隔した絶縁性の分離体 40 が設けられている。このように、絶縁体と離隔しつつ、絶縁体上に設けられた半導体膜の表面に設けられ、半導体層の表面を分離する分離体を、「部分分離体」と仮称することにする。

【0003】 半導体層 20 中には N⁺ 型のソース/ドレイン層 21、22 が設けられ、これらは半導体層 20 上にゲート絶縁膜を介して設けられたゲート電極 23 と共に NMOS トランジスタ 2 を構成している。このように部分分離体を伴って SOI 構造を呈する NMOS トランジスタは、例えば “Bulk-Layout-Compatible 0.18 μ m SOI-CMOS Technology Using Body-Fixed Partial Trench

h Isolation (PTI)” (Y.Hirano et al., 1999 IEEE International SOI Conference, Oct.1999, pp131-132) に開示されている。

【0004】 絶縁体 9 の上には更に、N⁺ 型の半導体層 10 が設けられている。そして半導体層 10 中に設けられた P⁺ 型のソース/ドレイン層 11、12 と、半導体層 10 上にゲート絶縁膜を介して設けられたゲート電極 13 が、PMOS トランジスタ 1 を構成している。

【0005】 ソース/ドレイン層 22 は半導体層 20 を、ソース/ドレイン層 12 は半導体層 10 を、それぞれ厚み方向に貫通し、各半導体層 10、20 を断面視上で分割する。ソース/ドレイン層 12、22 の間には半導体層 20 の一部である半導体層 20 t 及び半導体層 10 の一部である半導体層 10 t が存在する。半導体層 20 t 及び半導体層 10 t は部分分離体 40 の下方、即ち部分分離体 40 と絶縁体 9 との間で、互いに隣接して p n 接合 J1 を形成している。例えば部分分離体 40 の形成前に半導体層 10、20 を形成する段階で p n 接合 J1 が形成され、その後に半導体層 10、20 の境界で部分分離体 40 を形成すれば、上述の態様で p n 接合 J1 が位置する。

【0006】 以上のように、一般に LSI (Large Scale Integrated circuit) では、SOI 構造の半導体膜として、異なる導電型、即ち p 型と n 型の半導体層が形成され、MOS トランジスタやバイポーラトランジスタがこれらの半導体層を用いて形成される。

【0007】

【発明が解決しようとする課題】 しかし、図 62 に示された構造では、部分分離体 40 の下方に存在することに起因して、p n 接合 J1 において異常なリーク電流が発生することが観察された。そこで本発明は、p n 接合の位置を制御し、リーク電流を抑制する半導体装置を提案するものである。

【0008】

【課題を解決するための手段】 この発明のうち請求項 1 にかかるものは半導体装置であって、少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、第 1 導電型の第 1 半導体層、前記第 1 導電型で前記第 1 半導体層よりも不純物濃度が低い第 2 半導体層、前記第 1 導電型とは反対の第 2 導電型の第 3 半導体層、前記第 2 導電型で前記第 3 半導体層よりも不純物濃度が低い第 4 半導体層とを有する半導体膜と、前記基板から遠い側の前記半導体膜の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体とを備える。そして、前記第 2 半導体層と前記第 4 半導体層とは前記半導体膜の厚み方向に亘って p n 接合を形成し、前記基板の前記表面に沿って、前記分離体と前記半導体膜との境界から前記分離体へと向かう方向を正とし、前記境界を基準とした前記 p n 接合の位置の最大値が 2 μ m 以下である。

【0009】 この発明のうち請求項 2 にかかるものは、

請求項1記載の半導体装置であって、前記pn接合は、前記分離体から離れて位置する部分を有する。

【0010】この発明のうち請求項3にかかるものは、請求項2記載の半導体装置であって、前記分離体から離れて位置する部分の前記pn接合が、半導体素子を形成する。

【0011】この発明のうち請求項4にかかるものは、請求項3記載の半導体装置であって、前記第1半導体層、前記第2半導体層、前記第4半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第3半導体層は、前記pn接合に対するコンタクトとして機能する。

【0012】この発明のうち請求項5にかかるものは、請求項2記載の半導体装置であって、前記第1半導体層、前記第4半導体層、前記第2半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第2半導体層は、それぞれ異なる導電型のMOSトランジスタのソース／ドレイン層として機能する。

【0013】この発明のうち請求項6にかかるものは、請求項2又は請求項5記載の半導体装置であって、前記分離体から離れて位置する部分の前記pn接合に接する面が絶縁性であるカバーを更に備える。

【0014】この発明のうち請求項7にかかるものは、請求項2記載の半導体装置であって、前記第2半導体層は前記第4半導体層中に設けられ、一対の前記第1半導体層が前記第2半導体層中に設けられ、前記一対の前記第1半導体層が前記第2半導体層に対するコンタクトとして機能する。

【0015】この発明のうち請求項8にかかるものは抵抗器であって、少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられた第1導電型の第1半導体層と、前記基板から遠い側の前記第1半導体層の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体と、前記第1半導体層の前記表面から前記基板の表面に至って延在しつつ前記分離体とは隔離するpn接合を前記第1半導体層と共に形成し、前記第1半導体層中に形成される、前記第1導電型とは反対の第2導電型の第2半導体層とを備える。

【0016】この発明のうち請求項9にかかるものは、請求項8記載の抵抗器であって、前記第2半導体層中に形成され、前記第2導電型で前記第2半導体層よりも不純物濃度が高い一対の第3半導体層を更に備える。

【0017】この発明のうち請求項10にかかるものは、請求項9記載の抵抗器であって、前記pn接合を覆うゲート電極を更に備える。

【0018】この発明のうち請求項11にかかるものは、請求項9記載の抵抗器であって、前記分離体から離れて位置する部分の前記pn接合に接する面が絶縁性であるカバーを更に備える。

【0019】この発明のうち請求項12にかかるものは

半導体装置の製造方法であって、(a)絶縁体上に第1導電型の第1半導体層及び前記第1導電型とは反対の第2導電型の第2半導体層によって形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるpn接合を設け、絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の前記表面において、前記pn接合及び前記絶縁体から離隔して設ける工程と、(b)前記第1半導体層中に、前記第2半導体層よりも不純物濃度の高い第2導電型の第3半導体層を第1のソース／ドレイン層として一対形成する工程と、(c)前記第2半導体層中に、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体層を第2のソース／ドレイン層として一対形成する工程と、(d)前記pn接合並びに一対の前記第1のソース／ドレイン層及び前記第2のソース／ドレイン層上に絶縁膜を形成する工程とを備える。

【0020】この発明のうち請求項13にかかるものは、請求項12記載の半導体装置の製造方法であって、前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート絶縁膜を形成する工程において前記絶縁膜が形成される。

【0021】この発明のうち請求項14にかかるものは、請求項12記載の半導体装置の製造方法であって、前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート電極のサイドウォールを形成する工程において前記絶縁膜が形成される。

【0022】この発明のうち請求項15にかかるものは半導体装置であって、少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、その厚み方向に亘ってpn接合が少なくとも一つ形成される半導体膜と、前記半導体膜上に選択的に形成され、前記半導体膜と金属との化合物である金属化合物層とを備える。そして、前記基板の前記表面に沿って、前記化合物層と前記半導体膜との境界から前記半導体膜へと向かう方向を正とし、前記境界を基準とし、少なくとも電圧が印加されるように配置された前記pn接合の全ての位置の最大値が2 μ m以下である。

【0023】この発明のうち請求項16にかかるものは、請求項15記載の半導体装置であって、前記pn接合上に設けられ、前記半導体膜の金属との化合を阻むマスクを更に備える。

【0024】この発明のうち請求項17にかかるものは、請求項16記載の半導体装置であって、前記マスクは、前記半導体膜において形成されるMOSトランジスタのゲートと厚み方向に同一構成を有する。

【0025】この発明のうち請求項18にかかるものは半導体装置の製造方法であって、(a)絶縁体上に互いに導電型の異なる第1半導体層及び第2半導体層によ

て形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるpn接合を設け、前記pn接合を開口する開口部を有する絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の表面において前記絶縁体から離隔して設ける工程と、(b)ゲートを有する半導体素子を前記第1半導体層に形成する工程と、(c)前記開口部において前記pn接合を覆い、前記第1半導体層及び第2半導体層の少なくともいずれか一方を前記開口部において露出させるマスクを形成する工程と、(d)露出した前記第1半導体層及び前記第2半導体層の前記表面を、金属と化合させる工程とを備える。

【0026】この発明のうち請求項19にかかるものは、請求項18記載の半導体装置の製造方法であって、前記工程(b)、(c)は同一のプロセスで実行される。

【0027】

【発明の実施の形態】発明の基本的思想、本発明の実施の形態の説明を行う前に、本発明の基本的思想について説明する。もちろんこの基本的思想も本発明の範疇にある。

【0028】本発明においては、pn接合を欠陥密度の低い位置に形成することによりリーク電流を抑制する。本発明においてpn接合を形成すべき位置の欠陥密度を減少させるには応力の影響を考慮する。例えば半導体表面において部分分離体を形成すれば、当該部分分離体から離れた位置での半導体表面では応力が高められて欠陥密度が増大する。あるいは表面が金属と化合した半導体、例えばシリサイド化されたシリコンにおいても応力が高められ、欠陥の固着や不純物のゲッタリングが生じる。

【0029】そこで本発明では、応力が生じる位置から離れて、あるいは更に応力が生じる位置近傍においてpn接合を形成することにより、当該pn接合での欠陥密度が低い半導体装置を提供する。

【0030】図1は部分分離体40近傍の構造を示す断面図である。N⁻型半導体層10及びP⁻型半導体層20は、pn接合J10a、J10b、J10c、J10dのいずれか一つを形成している。pn接合J10a～J10dは、絶縁体9の表面上に一端を有し、半導体層10、20が構成する半導体膜の厚さ方向に亘って延在する。絶縁性の部分分離体40は、絶縁体9から遠い側において、少なくとも半導体層10の表面に形成され、絶縁体9とは離隔している。

【0031】半導体層10、20が構成する半導体膜と部分分離体40との境界のうち、最も半導体層20に近い位置、あるいは最も半導体層10から遠い位置を、部分分離体40の端部として定義する。そして、当該端部から、絶縁体9の表面に平行に部分分離体40へと向かう方向を正とし、当該端部を基準とした距離をdとす

る。大まかにいえば、部分分離体40が半導体層10、20に対して区分して得られる、いわゆる活性領域から部分分離体40へ向かう距離として距離dを把握することもできる。

【0032】図2は、半導体層10、20の欠陥密度の、位置dに対する依存性を示すグラフである。グラフから理解されるように、値dが2 μ mを越えると欠陥密度は急激に増加する。これは部分分離体40を形成することにより半導体層10、20に応力がかかり、欠陥密度が増大するためであると考えられる。

【0033】図1において δ は2 μ mを意味する。距離dの最大値daが δ 以下であるpn接合J10aを半導体層10、20が形成する場合には、ここでのリーク電流は非常に小さい。しかし、距離dの最大値dbが δ を越えるpn接合J10bを半導体層10、20が形成する場合には、ここでのリーク電流の抑制は期待できない。pn接合J10cのように、距離dの最小値すら δ を越えるpn接合J10cを半導体層10、20が形成する場合と比較すると、リーク電流の軽減の効果はあるといえる。

【0034】pn接合J10dは、距離dの最大値が負となる位置に存在する。これはpn接合J10dが部分分離体40の下方には存在せず、活性領域にその全てが存在する場合である。pn接合J10dにおいても、もちろん、リーク電流は非常に小さい。

【0035】以上のように、部分分離体の端部から上記の方向に沿った距離が2 μ m以下の範囲内にpn接合が位置するという条件を満足するように、換言すれば、部分分離体と、互いに異なる導電型の2つの半導体層が成す半導体膜との境界から、分離体へと向かう方向を正として見たpn接合の位置の最大値が2 μ m以下であるという条件を満足するように、当該2つの半導体層と部分分離体との位置関係を設計することにより、当該pn接合でのリーク電流を非常に小さくすることができる。

【0036】図3は、部分分離体45が活性領域31a、31bを露出させる構造を示す平面図である。半導体層10、20は紙面奥側に位置することになる。図中鎖線で示された境界M1は、活性領域31a、31bから2 μ mの位置を示している。

【0037】半導体層10、20は図示されない絶縁体(図1の絶縁体9に相当)に接しており、pn接合J41あるいはpn接合J42を形成する。pn接合J41、J42はいずれも境界M1よりも活性領域31a、31b側に存在するので、そこでのリーク電流を抑制することができる。pn接合J41は活性領域31a、31bにおいて露出することなく部分分離体45で覆われているのに対し、pn接合J42は活性領域31a、31bにおいて露出する部分でのpn接合J42は、図1や図2に則していえばdが負の場合に相当す

る。

【0038】図4は活性領域31a, 31b同士が $2\delta = 4\mu\text{m}$ 離れている場合を示す平面図である。活性領域31a, 31bから $\delta = 2\mu\text{m}$ の位置にそれぞれ境界M1a, M1bを示している。半導体層10, 20は、いずれも部分分離体45から絶縁体9に至って延在するpn接合J43, J44のいずれか一方を形成する。pn接合J43は境界M1bよりも活性領域31b側に存在するので、ここでのリーク電流を抑制することができる。しかし、半導体層10, 20がpn接合J44を形成する場合

には、pn接合J44が位置Aにおいて、境界M1a, M1bよりも活性領域31a, 31bから遠くに位置しているので、位置Aにおいてリーク電流が抑制できない。従って、このように境界M1a, M1bを跨ぐpn接合はリーク電流を抑制する点で好ましくない。

【0039】図5は活性領域31a, 31bの有する辺が対向していない場合を例示する平面図である。境界M1a, M1bは、それぞれ活性領域31a, 31bから $2\mu\text{m}$ の位置を示し、両者は活性領域31a, 31bの最近接する2頂点の間で重なっており、全体として一つの境界M1を形成している。半導体層10, 20はいずれも部分分離体45から絶縁体9に至って延在するpn接合J45, J46のいずれか一方を形成する。pn接合J45の延在方向に活性領域31a, 31bが並んでいなくても、境界M1よりも活性領域31aあるいは活性領域31b側に存在しているので、pn接合J45でのリーク電流は抑制できる。

【0040】しかし、半導体層10, 20が、pn接合J46を形成する場合には、pn接合J46の延在方向に活性領域31a, 31bが並んでおらず、境界M1bよりも活性領域31b側に近い部分を有しているが、境界M1aよりも活性領域31a側から遠い部分をも有している。従って、リーク電流を抑制する点ではpn接合J46よりもpn接合J45の方が望ましい。

【0041】図6は表面が金属と化合した半導体がpn接合を形成する構造を示す断面図である。N⁻型半導体層10及びP⁻型半導体層20は例えばシリコンを主体とし、pn接合J50a, J50bのいずれか一つを形成している。P⁻型半導体層20は、少なくともその一部の表面に、絶縁体9とは隔離したシリサイド膜20sが形成されている。pn接合J50a, J50bは、絶縁体9の表面上に一端を有し、半導体層10, 20が構成する半導体膜の厚さ方向に亘って延在する。

【0042】半導体層10, 20が構成する半導体膜とシリサイド膜20sとの境界のうち、最も半導体層20に近い位置、あるいは最も半導体層10から遠い位置を、シリサイド膜20sの端部として定義する。そして、当該端部から、絶縁体9の表面に平行に半導体層10へと向かう方向を正とし、当該端部を基準とした距離

をtとする。大まかにいえば、シリサイド膜20sから半導体層10へと向かう距離として距離tを把握することもできる。

【0043】図7は、半導体層10, 20の欠陥密度の、位置tに対する依存性を示すグラフである。グラフから理解されるように、値tが $2\mu\text{m}$ を越えると欠陥密度は急激に増加する。これは上述のように、シリサイド膜20sを形成することにより、その膜内応力が欠陥の固着や不純物のゲッタリングを生じさせるので、その近傍のある範囲内の結晶欠陥の発生が抑制されているためであると考えられる。

【0044】図6において τ は $2\mu\text{m}$ を意味する。半導体層10, 20がpn接合J50aを形成する場合には、ここでのリーク電流は非常に小さい。pn接合J50aの内、最もシリサイド膜20sよりも離れた位置の距離 $t = t_a$ ですら、 $t_a \leq \tau$ を満足するからである。しかし、距離tの最大値 t_b が τ を越えるpn接合J50bを半導体層10, 20が形成する場合には、ここでのリーク電流の抑制は期待できない。

【0045】pn接合J50aは、その絶縁体9の近傍において距離tが負となる形状を呈している。pn接合が短絡されないためにはシリサイド膜20sにpn接合J50aが接触してはならないが、pn接合J50aのように、シリサイド膜20sと接触しなければ、 $t < 0$ となる位置を有していても本発明の効果を得ることができる。

【0046】以上のように、シリサイド膜の端部から上記の方向に沿った距離が $2\mu\text{m}$ 以下の範囲内にpn接合が位置するという条件を満足するように、換言すれば、互いに異なる導電型の2つの半導体層が成す半導体膜の表面に形成されたシリサイド膜と、半導体膜表面での半導体膜とシリサイド膜との境界から、シリサイド膜が形成されていない半導体膜表面へと向かう方向を正として見た、pn接合の位置の最大値が $2\mu\text{m}$ 以下であるという条件を満足するように、当該2つの半導体層とシリサイド膜との位置関係を設計することにより、当該pn接合でのリーク電流を非常に小さくすることができる。リーク電流の抑制のためには、少なくとも、PウェルとNウェルとが形成するpn接合のように、電圧が印加されるpn接合の全てにおいて上記条件が満足されることが望ましい。

【0047】図8はシリサイド膜とpn接合との位置関係を示す平面図である。半導体層10, 20はpn接合J51あるいはpn接合J52を形成する。そして半導体層20の表面において選択的にシリサイド膜20sが形成されている。図中鎖線で示された境界N1は、シリサイド膜20sから $2\mu\text{m}$ の位置を示している。

【0048】半導体層10, 20は図示されない絶縁体(図6の絶縁体9に相当)に接しており、pn接合J51は境界N1よりもシリサイド膜20s側に存在するの

で、そこでのリーク電流を抑制することができる。pn接合J52は境界N1よりも半導体層10側に存在するので、リーク電流の抑制を期待することはできない。

【0049】図9は分離した2つのシリサイド膜同士が $2\tau = 4\mu\text{m}$ 離れている場合を示す平面図である。図中に上下に分かれて示されるシリサイド膜から $\tau = 2\mu\text{m}$ の位置に、それぞれ境界N1a, N1bを示している。半導体層10, 20は実線で示されるpn接合J53あるいは破線で示されるpn接合J54を形成する。

【0050】pn接合J53が形成される場合には、図中に上下に分かれて示されるシリサイド膜はそれぞれ半導体層20, 10の表面において形成されるシリサイド膜20s, 10sである。そしてpn接合J53は境界N1bよりもシリサイド膜10s側に存在するので、ここでのリーク電流を抑制することができる。しかし、pn接合J54が形成される場合には、図中に上下に分かれて示されるシリサイド膜はいずれも半導体層20の表面に形成されたシリサイド膜20sである（図中下側のシリサイド膜の括弧内の符号20sは、破線で示されたpn接合J54が形成された場合に対応している）。pn接合J54は位置Cにおいて、境界N1a, N1bよりもシリサイド膜20sから遠くに位置しているので、位置Cにおいてリーク電流を抑制できない。従って、このように境界N1a, N1bを跨ぐpn接合はリーク電流を抑制する点で好ましくない。

【0051】図10はシリサイド膜の有する辺が対向していない場合を例示する平面図である。境界N1a, N1bは、それぞれ半導体層10, 20の表面に形成されたシリサイド膜10s, 20sから $2\mu\text{m}$ の位置を示す。境界N1a, N1bはシリサイド膜10s, 20sの最近接する2頂点の間で重なっており、全体として一つの境界N1を形成している。半導体層10, 20の構成する半導体膜の表面から絶縁体9に至ってpn接合J55, J56のいずれか一方が形成される場合が例示されている。pn接合J55の延在方向にシリサイド膜10s, 20sが並んでいなくても、pn接合J55が境界N1よりもシリサイド膜10s, 20sのいずれか側に存在しているので、pn接合J55でのリーク電流は抑制できる。

【0052】しかし、半導体層10, 20がpn接合J56を形成する場合には、pn接合J56の延在方向にシリサイド膜10s, 20sが並んでおらず、pn接合J56は境界N1bよりもシリサイド膜20s側に近い部分を有してはいるが、境界N1aよりもシリサイド膜10s側から遠い部分をも有している。従って、リーク電流を抑制する点ではpn接合J56よりもpn接合J55の方が望ましい。

【0053】活性領域31a, 31bには半導体素子が形成されていてもいなくても構わない。またシリサイド膜10s, 20sを電極とする半導体装置が形成されて

いてもいなくても構わない。このような制限の緩さは、半導体装置のレイアウトの自由度を高める上で好適である。

【0054】図11は半導体装置の電極となっていないシリサイド膜が形成された構成を例示する平面図である。半導体層10, 20がpn接合J61を形成しており、半導体層10, 20の表面のうち、シリサイド膜10s₁~10s₄が形成されていない領域は後記の例外を除き、部分分離体45によって覆われている。換言すれば、後記の例外を除き、部分分離体45によって選択的に露出した位置においてシリサイド膜10s₁~10s₄が半導体層10の表面に形成されている。

【0055】そしてシリサイド膜10s₁, 10s₃, 10s₄は半導体装置の電極となっておらず、シリサイド膜10s₂はトランジスタQ6のソース/ドレインとして機能する。上述の例外は、トランジスタQ6のゲートG6の下方の半導体層10であり、この部分の半導体層10は部分分離体45によって覆われてはいないものの、ゲートG6によって覆われることにより、シリサイド化されていない。

【0056】このように半導体装置の電極として機能しないシリサイド膜10s₁, 10s₃, 10s₄も、シリサイド膜10s₂と共にそれらから $2\mu\text{m}$ 以内の境界N2で示される領域内にpn接合J61を含み、リーク電流を抑制する機能を果たしている。

【0057】もちろん、活性領域31a, 31bやシリサイド膜10s, 20sが矩形である必要もない。また、シリサイド膜10s, 20sが形成されていない半導体層10, 20の表面には部分分離体が形成されていてもいなくても構わない。

【0058】以上のように、本発明の基本的な考え方は、部分分離体またはシリサイド膜の端部から $2\mu\text{m}$ を越えない位置では欠陥密度が非常に小さいことに鑑み、かかる位置を越えてpn接合が位置しない構造を採用して、リーク電流を低減するものである。

【0059】実施の形態1. 図12は本実施の形態にかかる半導体装置であるダイオードD1の構成を示す平面図であり、図13は図12における位置P1P1における断面図である。絶縁体9の上には、P⁻型の半導体層20が設けられている。

【0060】絶縁体9から遠い側の半導体層20の表面には部分分離体43が、例えばほぼ矩形の輪状に設けられており、活性領域を区画している。部分分離体43が呈する矩形の輪の内側には、P⁺型半導体層15、半導体層15よりも不純物濃度の低いP型半導体層14、N型半導体層25、半導体層25よりも不純物濃度の高いN⁺型半導体層24が、この順に外側から内側へといずれもほぼ矩形の輪状に設けられている。半導体層14, 15, 24, 25はいずれも絶縁体9に接触しつつも部分分離体43の存在する側において、互いの露出を阻ま

ない。

【0061】半導体層14, 25の上方には、図示されないゲート絶縁膜を介して半導体層14, 25と対峙するゲートG4が設けられている。また半導体層14, 25は絶縁体9の表面に接触しつつも部分分離体43の存在する側に露出するpn接合J2を形成している。半導体層24, 15はpn接合J2からそれぞれn側及びp側のコンタクトを採る機能を有する。

【0062】pn接合J2は半導体層15を介して部分分離体43から離れているので、「発明の基本的思想」10で述べたように、pn接合J2における結晶欠陥は非常に小さく、ダイオードD1のリーク電流（逆方向バイアス電流）も非常に小さい。

【0063】実施の形態2. 図14は本実施の形態にかかる半導体装置であるダイオードD2の構成を示す平面図であり、図15は図14における位置P2P2における断面図である。絶縁体9の上には、P型の半導体層16が設けられている。

【0064】絶縁体9から遠い側の半導体層16の表面には部分分離体45が、例えばほぼ矩形の輪状に設けられており、活性領域を区画している。部分分離体45が呈する矩形の輪の内側には、N型の半導体層17が選択的に形成されており、半導体層16との間にpn接合J4を形成している。pn接合J4は絶縁体9に接触しつつも部分分離体45の存在する側に露出している。但し、部分的には部分分離体45の下方（絶縁体9側）に存在している。

【0065】半導体層17内には絶縁体9に接触しつつも部分分離体45の存在する側に露出するN'型の半導体層28が形成され、部分分離体45が呈する矩形の輪の内側の半導体層16内には、絶縁体9に接触しつつも部分分離体45の存在する側に露出するP'型の半導体層27が形成される。半導体層27は半導体層16と導電型が同じP型であって不純物濃度が高い。また半導体層28は半導体層16と導電型が同じN型であって不純物濃度が高い。よって半導体層28, 27はpn接合J4からそれぞれn側及びp側のコンタクトを採る機能を有する。

【0066】図16は、図15において右側に位置するpn接合J4の近傍Bを拡大して示す断面図である。部分分離体45と半導体層17との境界と、pn接合J4との間の距離の最大値d1が、2 μ m以下であれば、「発明の基本的思想」で述べたようにpn接合J4における結晶欠陥は非常に小さい。これは図15には現れない位置のpn接合J4についても同様である。また、実施の形態1と同様に、図15において左側に位置するpn接合J4においても結晶欠陥は非常に小さく、ダイオードD2のリーク電流（逆方向バイアス電流）は非常に小さい。

【0067】実施の形態3. 図17は本実施の形態にか

かる半導体装置であるCMOSトランジスタ100の構成を示す平面図であり、図18は図17における位置P3P3における断面図である。

【0068】絶縁体9の上には、N'型の半導体層10及びP'型の半導体層20が設けられている。半導体層10の端部10tと半導体層20の端部20tとは、絶縁体9に接触しつつ絶縁体9とは反対側に露出するpn接合J5を形成している。

【0069】絶縁体9から遠い側の半導体層16の表面には部分分離体41, 42が設けられている。部分分離体41が区画する活性領域にはゲートG1, G2を有する半導体素子Q1と、PMOSTランジスタ1が設けられている。部分分離体42が区画する活性領域にはゲートG3を有する半導体素子Q2と、NMOSTランジスタ2が設けられている。部分分離体41, 42の間には、pn接合J5及び端部10t, 20tが部分的に露出する領域30が存在する。

【0070】PMOSTランジスタ1に関していえば、部分分離体41が区画する活性領域においてP'型のソース/ドレイン層11, 12が設けられ、半導体層10上にゲート絶縁膜を介してゲート電極13が設けられている。またNMOSTランジスタ2に関していえば、部分分離体42が区画する活性領域においてP'型のソース/ドレイン層21, 22が設けられ、半導体層20上にゲート絶縁膜を介してゲート電極23が設けられている。なお、図面の簡略のため、ゲート絶縁膜やゲート電極13, 23の側面に存在する側壁は、図17において省略している。

【0071】PMOSTランジスタ1及びNMOSTランジスタ2が形成するCMOSトランジスタ100においては、ソース/ドレイン層11, 12と導電型が同じP型であって不純物濃度が低い半導体層20の端部20tと、ソース/ドレイン層21, 22と導電型が同じN型であって不純物濃度が低い半導体層10の端部10tとが形成するpn接合J5は、いずれの部分分離体41, 42からも離れている。従って、「発明の基本的思想」で述べたように、pn接合J5における結晶欠陥は非常に小さく、図62で示されたCMOSトランジスタ200と比較して、異常リーク電流を非常に小さくすることができる。

【0072】図17及び図18においてはpn接合J5が存在する領域30は、半導体素子が形成されないダミー領域として図示されている。しかし、部分分離体から離れ、あるいは2 μ m以下で部分分離体の下方に潜り込んで形成されるpn接合が素子を形成しうる場合にも、「発明の基本的思想」で述べた効果を得ることができることは、実施の形態1, 2に示されるとおりである。

【0073】図19乃至図21はCMOSトランジスタ100を形成する方法を工程順に示す断面図である。単結晶のシリコンからなる半導体膜3を載せた絶縁体9を

準備する。絶縁体は例えば酸化層からなる。その後、半導体膜3の絶縁体9から遠い方の表面に下敷き酸化膜49を全面に形成し、また絶縁体9とは離隔する部分分離体41、42を形成して、図19に示された構成を得る。部分分離体の種々の形成方法については、別途に後述する。

【0074】次に部分分離体42、及びこれが区画し、後にNMOSトランジスタ2が形成されるべき位置の半導体膜3をレジスト81で覆う。レジスト81をマスクとして燐あるいは砒素のイオン注入61を下敷き酸化膜49を介して、あるいは更に部分分離体41を介して半導体膜3に施す(図20)。イオン注入61により、部分分離体41の下方、及びこれが区画し、後にPMOSTランジスタ1が形成されるべき半導体膜3はN⁻半導体層10となる。

【0075】次にN⁻半導体層10及び部分分離体41をレジスト82で覆い、砒素のイオン注入62を下敷き酸化膜49を介して、あるいは更に部分分離体42を介して半導体膜3に施す(図21)。イオン注入62により、部分分離体42の下方、及びこれが区画し、後にNMOSTランジスタ2が形成されるべき半導体膜3はP⁻半導体層20となる。

【0076】この後、周知の方法により、下敷き酸化膜49を除去し、ゲート絶縁膜、ゲート電極13、23、ソース/ドレイン層11、12、21、22を形成し、図18に示された構成が得られる。

【0077】実施の形態4. 図22は本実施の形態にかかる半導体装置である抵抗器R1の構成を示す平面図であり、図23は図22における位置P4P4における断面及び、図22において現れない位置での断面を示す断面図である。前者は右側に、後者は左側に、破断箇所Zを介して隣接して描いている。絶縁体9の上には、P⁻型の半導体層20が設けられている。

【0078】絶縁体9から遠い側の半導体層20の表面には部分分離体44が、例えばほぼ矩形の輪状に設けられており、活性領域を区画している。部分分離体44が呈する矩形の輪の内側には、部分分離体44と離れてN型の半導体層25が形成されている。そして半導体層25内には半導体層25と同じ導電型であって不純物濃度の高いN⁺型半導体層26a、26bが形成されている。従って、半導体層26a、26bは半導体層25が形成する抵抗体からコンタクトを採る機能を有する。

【0079】本実施の形態において、半導体層20、25はpn接合J3を形成するが、pn接合J3は部分分離体44から離れているので「発明の基本的思想」で述べた条件を満足し、その効果を有する。もちろん、半導体層25が部分分離体44と接触して形成されており、pn接合J3が部分分離体44の下方に潜り込んで形成された部分を有していても、「発明の基本的思想」で述べた条件を満足する限り、リーク電流を抑制することが

できる。

【0080】上記実施の形態1乃至実施の形態3では、一対の導電型のそれぞれについて、不純物濃度が高い半導体層と低い半導体層が存在し、合計4種類以上の半導体層が存在する場合に、異なる導電型で低い不純物濃度を有する一対の半導体層の形成するpn接合が、「発明の基本的思想」で述べた条件を満足する場合を例示している。しかし本実施の形態のように、特に半導体素子として抵抗器を形成する場合には、上記4種類の半導体層を必ずしも必要としなくても、「発明の基本的思想」で述べた効果を得ることもできる。

【0081】図24は本実施の形態にかかる他の半導体装置である抵抗器R11の構成を示す平面図であり、図25は図24における位置P41P41における断面図である。抵抗器R11は、抵抗器R1と比較して、N型の半導体層25をN⁺型半導体層251に置換し、N⁺型半導体層26a、26bを設けない構成を備えている。N⁺型半導体層251の上面には、互いに離れた配線26c、26dが設けられる。配線26c、26dとの間でオーミックコンタクトを採るために、半導体層251はその不純物濃度が高められている。

【0082】その一方、抵抗器のみが集積回路で採用されることは少なく、多くの場合にはCMOSTランジスタも形成され、従ってPMOSTランジスタも絶縁体9上に形成されることが多い。例えば図23の左側に示されるようなPMOSTランジスタ1が、右側に示される抵抗器R1とともに搭載される集積回路においては、上記の4種類の半導体層が存在する、と把握することもできる。もちろん、抵抗器を形成する半導体層の導電型を上記と反対にし、抵抗器とNMOSTランジスタとを搭載する集積回路においても上記4種類の半導体層が存在する、と把握できるのはいうまでもない。

【0083】図26は本実施の形態にかかる更に他の半導体装置である抵抗器R2の構成を示す平面図であり、図27は図26における位置P5P5における断面図である。抵抗器R2は、図示されないゲート絶縁膜を介してpn接合J3及び半導体層25に対峙するゲート電極G5を、抵抗器R1に追加した構成を有している。かかる構成においても、当然、リーク電流を抑制することができる。

【0084】実施の形態5. 図17に示されたCMOSTランジスタ100において、ソース/ドレイン層11、12、21、22の表面をシリサイド化しようとするれば、領域30において露出する端部10t、20tの表面もシリサイド化され、半導体層10、20が導通してしまう。このような短絡を回避するため、pn接合J5のように部分分離体41、42から離れて形成され、露出しているpn接合は、これをシリサイド化の際に絶縁体で覆うことが望ましい。

【0085】図28は本実施の形態にかかる半導体装置

の構成を示す断面図であり、図17に示されたCMOS 100の構成に、領域30を覆う絶縁膜48を付加した構成が示されている。絶縁膜48には例えば窒化膜や酸化膜、あるいは更に酸化膜を下地とする窒化膜を採用できる。

【0086】絶縁膜48は、図17に示された構成上に一旦全面的に形成された後に、パターニングによって領域30にのみ残置してもよい。あるいはゲート電極13、23のサイドウォールを形成する工程において、形成することもでき、容易に製造することができる。例えばサイドウォールの材料となる絶縁膜を異方性エッチングする際に、領域30をマスクで覆うことにより、絶縁膜48を残置してもよい。

【0087】図29は、図28に示された構成を有するCMOSTランジスタ100に対してシリサイド化を施して得られる構成を示した断面図である。ゲート電極13、23及びソース／ドレイン層11、12、21、22の表面にそれぞれシリサイド膜13s、23s、11s、12s、21s、22sを形成することができる。しかし端部10t、20tは露出していないので、両者を短絡するシリサイド膜は形成されない。

【0088】シリサイド化の際に、端部10t、20tに接触する面が絶縁性の材料で領域30を覆うカバーを設ければ足り、カバーはその全体が絶縁性である必要はない。

【0089】図30は本実施の形態にかかる他の半導体装置の構成を示す断面図であり、図17に示されたCMOS 100の構成に、領域30を覆うダミーゲートDGを付加した構成が示されている。但し、ダミーゲートDGはゲート電極13、23と同様に、その下方にゲート絶縁膜を有しているので、端部10t、20tは短絡されない。このような構造は、ゲート絶縁膜を形成する工程、及びゲート電極13、23と同じ工程で形成することができ、容易に製造することができる。例えばゲート電極13、23及びダミーゲートDGはポリシリコンで形成される。

【0090】図31は、図30に示された構成を有するCMOSTランジスタ100に対してシリサイド化を施して得られる構成を示した断面図である。ゲート電極13、23及びダミーゲートDG、並びにソース／ドレイン層11、12、21、22の表面にそれぞれシリサイド膜13s、23s、DGs、11s、12s、21s、22sを形成することができる。しかし端部10t、20tは露出していないので、両者を短絡するシリサイド膜は形成されない。

【0091】上述のように、部分分離体から離れて形成されたpn接合については、シリサイド化の際に上記カバーをすることが望ましい。これは抵抗器R1のpn接合J3についても同様であり、シリサイド化の際にpn接合J3が短絡されることを防止する。絶縁膜48は少

なくとも接合J3を覆っていればよく、図32のように半導体層26を覆ってから後で開口して半導体層26を露出しても、図33のように後でシリサイド化される部分をあらかじめ開口してもよい。もちろん、図34のように、絶縁膜48が部分分離体44と接触してもよい。図3に示されたpn接合J42についていえば、活性領域31a、31bに露出している部分において、上記カバーが設けられることが望ましい。

【0092】しかし、部分分離体によって露出が阻まれるpn接合については、例えば図3に示されたpn接合J41、図4に示されたpn接合J43、図5に示されたpn接合J45は部分分離体45に対して絶縁体9側に形成されるので、露出することがなく、上記カバーは不要となる利点がある。更に、そのようなpn接合の上に配線が敷設される場合であっても、部分分離体が存在することにより、当該配線の寄生容量を小さくすることができる。

【0093】実施の形態6. 図35は本実施の形態にかかるpn接合とシリサイド膜の配置を例示する平面図である。また図36は図35の位置P6P6における断面を示す断面図である。半導体層10、20は例えばそれぞれN型ウェル、P型ウェルとして機能し、pn接合J57を形成している。また半導体層10、20上には開口窓32、33が開けられた部分分離体72が形成されている。開口窓32はpn接合J57に跨って開口されており、開口窓33は半導体層10上に開口されている。

【0094】開口窓32、33において半導体層10、20はシリサイド化され、それぞれシリサイド層10s、20sを表面に有している。但し、開口窓32はpn接合J57に跨って形成されており、その短絡を回避するためにシリサイド膜10s、20s同士の短絡を回避する必要がある。そこでシリサイド膜10s、20s同士の短絡を防ぐため、開口窓32においてはpn接合J57上にシリサイド化を阻むマスクとなる絶縁膜71を設けてからシリサイド化を行う。

【0095】図36を参照して、シリサイド膜10sの端から半導体層20へ向かう方向に沿ってのpn接合J57の距離t1及び、シリサイド膜20sの端から半導体層10へ向かう方向に沿ってのpn接合J57の距離t2の少なくともいずれか一方が $\tau = 2\mu\text{m}$ 以下であれば、本発明の効果をj得ることができる。リーク電流を抑制するためにはpn接合J57の延在する全ての位置において $t1 \leq \tau$ または $t2 \leq \tau$ を満足することが望ましい。シリサイド膜10s、20sから $2\mu\text{m}$ の範囲が連結するように形成されていれば、シリサイド膜10s、20sや絶縁膜71が、必ずしもpn接合J57の延在する方向に連続している必要はない。図35では、シリサイド膜10s、20sから $2\mu\text{m}$ の境界N3が連結する程度にシリサイド膜10s、20sがpn接合J57

10

20

30

40

50

の延在する方向に近接している場合が示されている。よってこの場合において当該方向に絶縁膜71も連続して設けられる必要はない。

【0096】本実施の形態ではpn接合J57に跨って開口する開口窓32を有する部分分離体72において、pn接合J57を覆う絶縁膜71を設ける。これをマスクとして半導体層10、20のシリサイド化を行って、pn接合J57のリーク電流を抑制することができる。

【0097】pn接合をシリサイド化から阻むためのマスクとして、絶縁膜の代わりに、ダミーゲートを採用することができる。図37は図17の位置P3P3における断面図であり、図31と類似の構造を呈している。図31に示された構造と異なっているのは、ダミーゲートDGは領域30を全て覆うのではなく、半導体層10t、20tを覆っていない点と、絶縁膜77が領域30において半導体層20tを覆っている点である。なお、図37ではダミーゲートDGにもサイドウォールが付加されている場合が例示されている。

【0098】このようなダミーゲートDG、絶縁膜77をマスクとしてシリサイド化を行うことにより、領域30において半導体層10tの表面にシリサイド膜10sが形成される。シリサイド膜10sからpn接合J5までの距離が2μm以下であれば、図37のように半導体層20tにシリサイド膜を形成する必要はなく、寄生容量を抑制できる。

【0099】勿論、図38に示されるようにダミーゲートDGによって半導体層20tを覆ってもよいし、図39に示されるように絶縁膜77によってpn接合J5と半導体層20tの両方を覆っても良い。

【0100】実施の形態7. 図40は本実施の形態にかかるpn接合とシリサイド膜の配置を例示する平面図である。また図41及び図42は、いずれも図40の位置P7P7における断面の2つの例を示す断面図である。半導体層10、20は、例えばそれぞれN型ウェル、P型ウェルとして機能し、pn接合J58を形成している。また半導体層10、20上には部分分離体73が形成され、開口窓34において半導体層10及びシリサイド膜10sを露出させる。

【0101】開口窓34はマスク74によって選択的に覆われている。マスク74として絶縁膜74aを採用した場合が図41に、ダミーゲート74bを採用した場合が図42に、それぞれ示されている。

【0102】図41を参照して、絶縁膜74aは実施の形態6において図36で示された絶縁膜71と同様にして、部分分離体73と共に半導体層10を選択的に露出させ、シリサイド化を阻むマスクとして機能する。

【0103】シリサイド膜は、部分分離体によって覆われない半導体層の全ての表面において形成する必要はなく、pn接合をその周囲2μm以内に含む位置にシリサイド膜を形成すれば足りる。そしてこのように半導体層

表面の選択的なシリサイド化により、シリサイド化される面積を小さくして、これが他の導電体との間、例えばその上方に敷設される配線との間の寄生容量を低減することができる。

【0104】また、図42を参照して、ダミーゲート74bはシリサイド化前には、図示されない他のMOSトランジスタのゲート絶縁膜を形成する工程で形成される絶縁膜743と、当該トランジスタのゲート電極を形成する工程で形成される導電膜742とを備えている。そして半導体層10をシリサイド化する際に、自身は半導体層10のシリサイド化を阻むマスクとなりつつ、導電膜742の表面にシリサイド膜741が形成される。これにより、当該トランジスタのゲートと、ダミーゲート74bとは厚み方向の構成が同一となる。半導体層10のシリサイド化のマスクとしてダミーゲート74bを採用すると、絶縁膜74aを採用した場合と比較して、ダミーであるか、MOSトランジスタが形成されるかを問わず、半導体層10上の厚さを揃えることができる。これにより、その上に形成される層間絶縁膜の平坦性を向上させることができる。

【0105】実施の形態8. 図43は本実施の形態にかかるpn接合とシリサイド膜の配置を例示する平面図である。また図44及び図45は、いずれも図43の位置P8P8における断面の2つの例を示す断面図である。半導体層10、20は、例えばそれぞれN型ウェル、P型ウェルとして機能し、pn接合J59を形成している。また半導体層10、20上には開口窓35、36が開けられた部分分離体75が形成されている。

【0106】開口窓36には半導体層10、20においてそれぞれPMOSトランジスタQ4およびNMOSトランジスタQ5が形成されている。そして開口窓35はその周辺部を除いてマスク76によって覆われている。

【0107】開口窓35は半導体装置が形成されないダミーとして半導体層10、20を部分分離体75から覗かせる。このようなダミーは大きさや形の異なるものを採用しても良いが、図43では正形状の開口窓35を採用し、トランジスタQ4、Q5の占める位置を除いて複数が行列状に配置されている。このようなパターンで開口窓35を配置することは、パターニングの自動配置処理によって容易に実現することができる。但し、本実施の形態では、トランジスタQ4、Q5が形成される開口窓36は勿論のこと、開口窓35もpn接合J59に跨って設けられはしない。

【0108】マスク76として絶縁膜76aを採用した場合が図44に、ダミーゲート76bを採用した場合が図45に、それぞれ示されている。

【0109】図44を参照して、絶縁膜76aは実施の形態6において図36で示された絶縁膜71と同様にして、部分分離体75と共に半導体層10を選択的に露出させ、シリサイド化を阻むマスクとして機能する。実施

の形態7と同様の効果を得るためには、pn接合J59をその周囲2 μ m以内に含む位置に開口窓35を設ければよい。

【0110】また、図45を参照して、ダミーゲート76bはシリサイド化前には、トランジスタQ4、Q5のゲート絶縁膜を形成する工程で形成される絶縁膜763と、当該トランジスタのゲート電極を形成する工程で形成される導電膜762と、当該トランジスタのサイドウォールを形成する工程で形成されるサイドウォール764を備えている。そして半導体層10、20をシリサイド化する際に、自身は半導体層10、20のシリサイド化を阻むマスクとなりつつ、導電膜762の表面にシリサイド膜761が形成される。半導体層10、20のシリサイド化を阻むマスクとしてダミーゲート76bを採用すると、その高さをトランジスタQ4、Q5のゲートG7、G8の高さと揃えることができ、実施の形態7と同様にして層間絶縁膜の平坦性を向上させることができる。

【0111】部分分離体の形成。以下では、部分分離体を形成する種々の方法について説明する。以下の方法を用いて、上記の実施の形態で説明した部分分離体を形成してもよい。

【0112】図46乃至図51は部分分離体の第1の製造方法を工程順に示す断面図である。まず半導体基板501を準備し、酸素イオン注入を伴うSIMOX法などにより、半導体基板501中に埋め込み酸化膜90を形成する。埋め込み酸化膜90は半導体基板501を、その厚み方向に半導体層501a、501bに分離し、図46に示された構成を得る。例えば埋め込み酸化膜90及び半導体層501bは上述の絶縁体9及び半導体膜330に対応し、それぞれ例えば100～400nm及び50～200nmに設定される。もちろん、貼り合わせによって図32に示された構成を得てもよい。

【0113】次に半導体層501b上に例えば20nmの酸化膜502と、200nm程度の窒化膜503を堆積し、更にその上に、部分的に開口するレジスト504を形成して図47に示された構成を得る。酸化膜502はCVDによる形成によって得ても、半導体層501bの熱酸化によって得てもよい。また窒化膜503はCVDによって形成することができ、窒化膜503の代わりに窒化酸化膜を採用してもよい。

【0114】次にレジスト504をマスクとして窒化膜503、酸化膜502をエッチングし、更に半導体層501bを埋め込み酸化膜90上に残しつつエッチングしてその厚さを減らし、図48に示されたトレンチ510を得る。

【0115】次にレジスト504を除去し、トレンチ510側から酸化膜505を、トレンチ510を埋める厚さ(例えば500nm)で堆積し、図49に示された構成を得る。

【0116】そして通常のトレンチ分離と同様の手法でCMP処理を行い、窒化膜503をも研磨してその厚さを減らし、図50に示された構成を得る。

【0117】そして窒化膜及び酸化膜に対するエッチングを行って、窒化膜503、酸化膜502を除去する。これによって図51に示されるように、埋め込み酸化膜90上に設けられた半導体層501bの表面に残置された酸化膜505が、部分分離体として機能する。

【0118】図52乃至図56は部分分離体の第2の製造方法を工程順に示す断面図である。部分分離体の第1の製造方法と同様にして図33に示された構成を得る。その後、レジスト504をマスクとして窒化膜503、酸化膜502、半導体層501bをエッチングして、埋め込み酸化膜90を露出させるトレンチ511を形成して図52に示された構成を得る。

【0119】その後、レジスト504を除去し、少なくともトレンチ511の底となる埋め込み酸化膜90を覆う、例えばトレンチ511の底及び内壁並びに窒化膜503の表面を覆う半導体層506を堆積させる。半導体層506としては、半導体基板501としてシリコンが形成された場合、例えばポリシリコンが採用される。そして半導体層506上に、これを介してトレンチ511を埋める酸化膜505を堆積し、図53に示された構成を得る。

【0120】そして通常のトレンチ分離と同様の手法でCMP処理を行い、窒化膜503をも研磨してその厚さを減らし、図54に示された構成を得る。

【0121】そして窒化膜及び酸化膜に対するエッチングを行って、窒化膜503、酸化膜502を除去し、図55に示された構成を得る。

【0122】この後、酸化処理を行うことにより、半導体層501bの表面及び半導体層506のうち埋め込み酸化膜90から遠い側が酸化され、それぞれ酸化膜508、507に変化して、図56に示された構成が得られる。その後、酸化膜508を除去して酸化膜505、507で形成された部分分離体を得られる。この方法では、酸化されずに残った半導体層506、501bが上述の半導体膜3に対応する。

【0123】図57乃至図60は部分分離体の第3の製造方法を工程順に示す断面図である。部分分離体の第1の製造方法と同様にしてトレンチ510を形成する。但し本法においては、窒化膜503、酸化膜502の間に、例えば10～100nmの厚さのポリシリコンからなる半導体層509を介在させている(図57)。トレンチ510を形成するときに行われる半導体層501bのエッチングに伴い、半導体層509のトレンチ510に露出する端部は、トレンチ510からみて後退している。

【0124】次に、トレンチ510の内壁に酸化膜520を形成し、図58に示された構成を得る。酸化膜50

2が例えば800～1350℃の熱酸化で形成されるのに対し、酸化膜520は700～900℃のウェット酸化によって形成したり、塩酸と酸素を含んだ雰囲気中で酸化することによって形成する。これにより、酸化膜520は半導体層509と酸化膜502との間、及び酸化膜502と半導体層501bとの間に深く進入し、いわゆるバズピークの形状を顕著にする。

【0125】次に、トレンチ510を埋め込む酸化膜521を堆積し、CMP処理を行ってこれを平坦化し、図59に示された構成を得る。後述するオーバーエッチングによっても酸化膜521の表面が低くなりすぎないようにするため、CMP処理において、酸化膜521の平坦面の位置が窒化膜503の主面よりも低くなりすぎないように酸化膜521の研磨量を調整する。

【0126】次に窒化膜503、半導体層509をウェットエッチングによって除去し、更に酸化膜502もエッチングして除去する。但し、酸化膜502のエッチングに際し、50～100%のオーバーエッチングを行い、酸化膜521のバズピークの輪郭形状を滑らかにするとともに、半導体層509及び窒化膜503の輪郭形状に対応させて、それぞれ窪み523、524を形成する。これによって図60に示された部分分離体522を得ることができる。

【0127】図61は部分分離体522上にもゲート電極G10が延設された構成を示す断面図である。位置601に示されるように、バズピークの先端から部分分離体522へと向かう方向に向かってほぼ上方に傾斜する部分には窪み523、524が存在する。従って、ゲート電極G10を形成する際に、不要なゲート材料が表面に残留することを防止する効果が高まり、また位置601における上方への傾斜に伴うバズピーク近傍での段差が低減されるので、ゲート電極G10の形成が容易となる。

【0128】更に、位置602に示されるように、バズピークの先端から部分分離体522へと向かう方向に向かって下方に傾斜する部分では、半導体層501b側に丸みを帯びて突出する形状を部分分離体522が呈している。このため、半導体素子の製造過程で行われる熱処理や酸化処理によって生じる半導体層501bと部分分離体522との界面近傍に生じる応力を緩和でき、当該応力によって半導体層501bに結晶欠陥が生じることを抑制できる。

【0129】

【発明の効果】この発明のうち請求項1又は請求項2にかかる半導体装置によれば、分離体と半導体膜との境界から2 μ m以下であるか、又は分離体が形成されていない位置では欠陥密度が非常に低い。従ってかかる位置で形成されたpn接合におけるリーク電流を非常に小さくすることができる。

【0130】この発明のうち請求項3にかかる半導体装

置によれば、半導体装置のレイアウトの自由度を高めることができる。

【0131】この発明のうち請求項4にかかる半導体装置によれば、リーク電流の小さなダイオードを得ることができる。

【0132】この発明のうち請求項5にかかる半導体装置によれば、リーク電流の小さなCMOSトランジスタを得ることができる。

【0133】この発明のうち請求項6にかかる半導体装置によれば、第1半導体層及び第3半導体層に対してシリサイド化を施す際、第2半導体層及び第4半導体層にもシリサイド化が施されることを回避できる。

【0134】この発明のうち請求項7にかかる半導体装置によれば、リーク電流の小さな抵抗器を得ることができる。

【0135】この発明のうち請求項8乃至請求項10にかかる抵抗器によれば、pn接合が分離体から離れて形成されており、第3半導体層が第2半導体層からなる抵抗体に対するコンタクトとして機能するので、リーク電流が小さい抵抗器を得ることができる。

【0136】この発明のうち請求項11にかかる抵抗器によれば、シリサイド処理を行っても、第1半導体層と第2半導体層との短絡を防止できる。

【0137】この発明のうち請求項12にかかる半導体装置の製造方法によれば、請求項6記載の半導体装置を製造することができる。

【0138】この発明のうち請求項13又は請求項14にかかる半導体装置の製造方法によれば、請求項6記載の半導体装置を容易に製造することができる。

【0139】この発明のうち請求項15にかかる半導体装置によれば、金属化合物と半導体膜との境界から2 μ m以下の位置では欠陥密度が非常に低い。従ってかかる位置で形成されたpn接合におけるリーク電流を非常に小さくすることができる。

【0140】この発明のうち請求項16にかかる半導体装置によれば、pn接合の短絡を回避することができる。

【0141】この発明のうち請求項17にかかる半導体装置によれば、半導体装置上に形成される層間膜の平坦性を向上することができる。

【0142】この発明のうち請求項18にかかる半導体装置によれば、請求項17の半導体装置を製造することができる。

【0143】この発明のうち請求項19にかかる半導体装置によれば、請求項17の半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 本発明の基本的思想を示す断面図である。

【図2】 本発明の基本的思想を説明するグラフであ

る。

【図3】 本発明の基本的思想を示す平面図である。
 【図4】 本発明の基本的思想を示す平面図である。
 【図5】 本発明の基本的思想を示す平面図である。
 【図6】 本発明の基本的思想を示す断面図である。
 【図7】 本発明の基本的思想を説明するグラフである。
 【図8】 本発明の基本的思想を示す平面図である。
 【図9】 本発明の基本的思想を示す平面図である。
 【図10】 本発明の基本的思想を示す平面図である。
 【図11】 本発明の基本的思想を示す平面図である。
 【図12】 本発明の実施の形態1にかかる半導体装置の構成を示す平面図である。
 【図13】 本発明の実施の形態1にかかる半導体装置の構成を示す断面図である。
 【図14】 本発明の実施の形態2にかかる半導体装置の構成を示す平面図である。
 【図15】 本発明の実施の形態2にかかる半導体装置の構成を示す断面図である。
 【図16】 図15の一部を拡大して示す断面図である。
 【図17】 本発明の実施の形態3にかかる半導体装置の構成を示す平面図である。
 【図18】 本発明の実施の形態3にかかる半導体装置の構成を示す断面図である。
 【図19】 本発明の実施の形態3にかかる半導体装置の製造方法を工程順に示す断面図である。
 【図20】 本発明の実施の形態3にかかる半導体装置の製造方法を工程順に示す断面図である。
 【図21】 本発明の実施の形態3にかかる半導体装置の製造方法を工程順に示す断面図である。
 【図22】 本発明の実施の形態4にかかる半導体装置の構成を示す平面図である。
 【図23】 本発明の実施の形態4にかかる半導体装置の構成を示す断面図である。
 【図24】 本発明の実施の形態4にかかる半導体装置の他の構成を示す平面図である。
 【図25】 本発明の実施の形態4にかかる半導体装置の他の構成を示す断面図である。
 【図26】 本発明の実施の形態4にかかる半導体装置の更に他の構成を示す平面図である。
 【図27】 本発明の実施の形態4にかかる半導体装置の更に他の構成を示す断面図である。
 【図28】 本発明の実施の形態5にかかる半導体装置の製造方法を工程順に示す断面図である。
 【図29】 本発明の実施の形態5にかかる半導体装置の製造方法を工程順に示す断面図である。
 【図30】 本発明の実施の形態5にかかる他の半導体装置の製造方法を工程順に示す断面図である。
 【図31】 本発明の実施の形態5にかかる他の半導体装置の製造方法を工程順に示す断面図である。

【図32】 本発明の実施の形態5に係る抵抗器の構造を示す断面図である。
 【図33】 本発明の実施の形態5に係る抵抗器の構造を示す断面図である。
 【図34】 本発明の実施の形態5に係る抵抗器の構造を示す断面図である。
 【図35】 本発明の実施の形態6にかかる半導体装置の構成を示す平面図である。
 【図36】 本発明の実施の形態6にかかる半導体装置の構成を示す断面図である。
 【図37】 本発明の実施の形態6にかかる半導体装置の他の構成を示す断面図である。
 【図38】 本発明の実施の形態6にかかる半導体装置の他の構成を示す断面図である。
 【図39】 本発明の実施の形態6にかかる半導体装置の他の構成を示す断面図である。
 【図40】 本発明の実施の形態7にかかる半導体装置の構成を示す平面図である。
 【図41】 本発明の実施の形態7にかかる半導体装置の構成を示す断面図である。
 【図42】 本発明の実施の形態7にかかる半導体装置の他の構成を示す断面図である。
 【図43】 本発明の実施の形態8にかかる半導体装置の構成を示す平面図である。
 【図44】 本発明の実施の形態8にかかる半導体装置の構成を示す断面図である。
 【図45】 本発明の実施の形態8にかかる半導体装置の他の構成を示す断面図である。
 【図46】 部分分離体の第1の製造方法を工程順に示す断面図である。
 【図47】 部分分離体の第1の製造方法を工程順に示す断面図である。
 【図48】 部分分離体の第1の製造方法を工程順に示す断面図である。
 【図49】 部分分離体の第1の製造方法を工程順に示す断面図である。
 【図50】 部分分離体の第1の製造方法を工程順に示す断面図である。
 【図51】 部分分離体の第1の製造方法を工程順に示す断面図である。
 【図52】 部分分離体の第2の製造方法を工程順に示す断面図である。
 【図53】 部分分離体の第2の製造方法を工程順に示す断面図である。
 【図54】 部分分離体の第2の製造方法を工程順に示す断面図である。
 【図55】 部分分離体の第2の製造方法を工程順に示す断面図である。
 【図56】 部分分離体の第2の製造方法を工程順に示す断面図である。

【図57】 部分分離体の第3の製造方法を工程順に示す断面図である。

【図58】 部分分離体の第3の製造方法を工程順に示す断面図である。

【図59】 部分分離体の第3の製造方法を工程順に示す断面図である。

【図60】 部分分離体の第3の製造方法を工程順に示す断面図である。

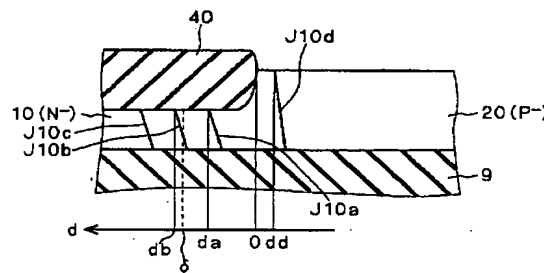
【図61】 第3の製造方法によって得られる部分分離体の効果を示す断面図である。

【図62】 従来のCMOSトランジスタの構成を示す断面図である。

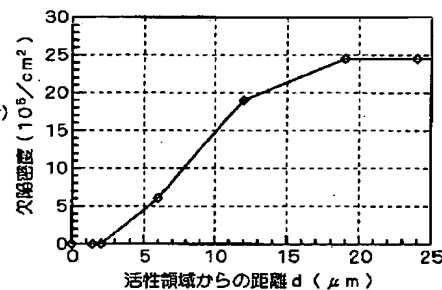
【符号の説明】

1 PMOSトランジスタ、2 NMOSトランジスタ、3 半導体膜、9 絶縁体、10 N⁻型半導体層、20 P⁻型半導体層、10s, 20s シリサイド膜、10t, 20t 端部、11, 21, 21, 22 ソース/ドレイン層、13, 23, G5 ゲート電極、14, 16 P型半導体層、17, 25 N型半導体層、15, 27 P⁺型半導体層、24, 26a, 26b, 28 N⁺型半導体層、40~45 部分分離体、10 100 CMOSトランジスタ、J1~J5, J41~J46, J51~J59 pn接合、R1, R2, R1 1 抵抗器、D1, D2 ダイオード。

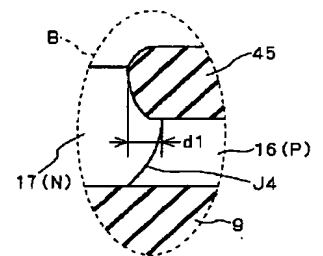
【図1】



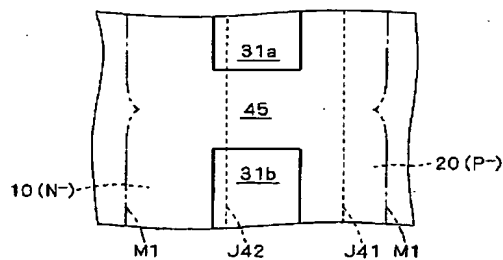
【図2】



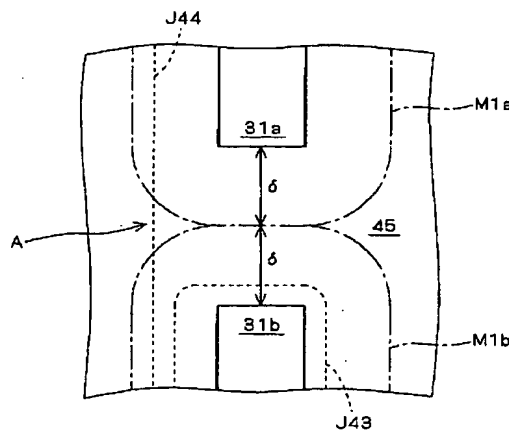
【図16】



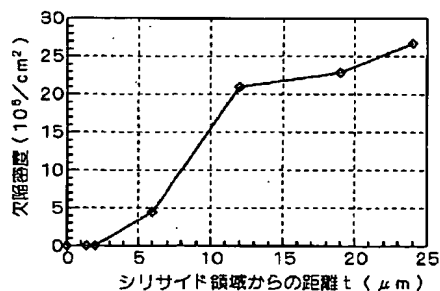
【図3】



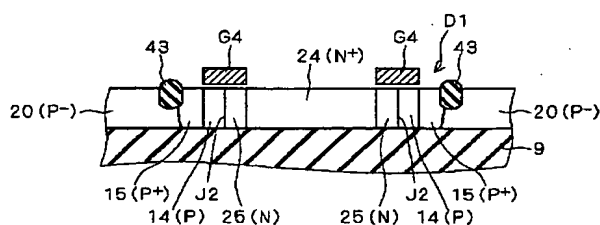
【図4】



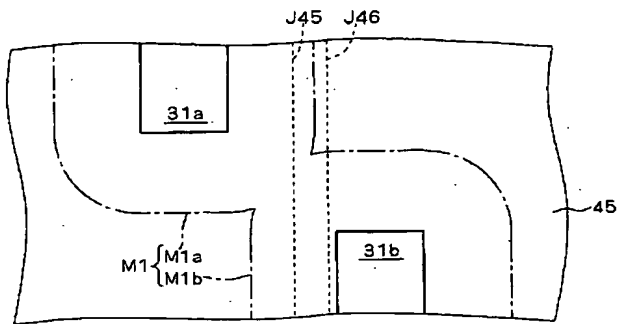
【図7】



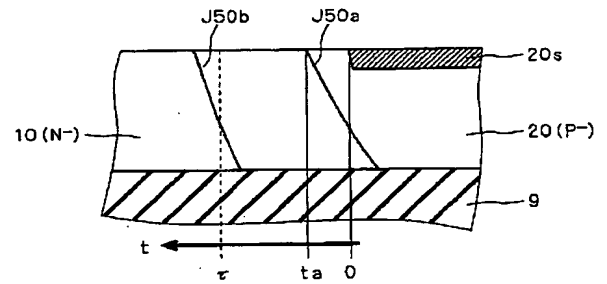
【図13】



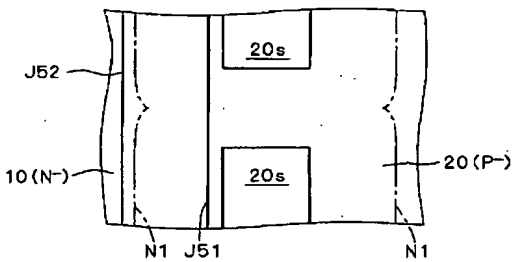
【図 5】



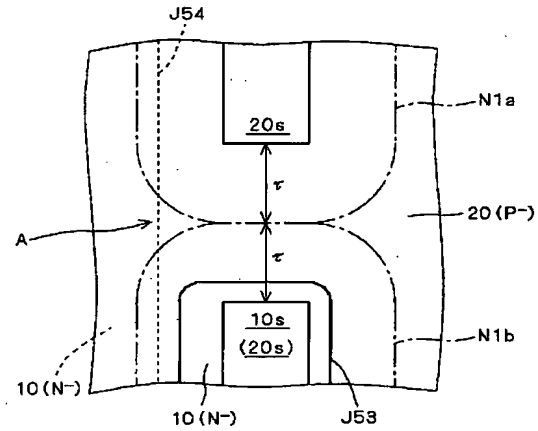
【図 6】



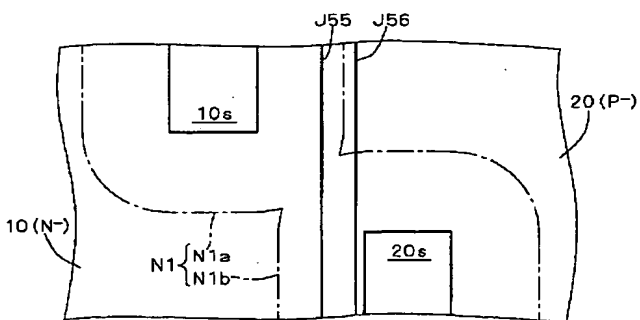
【図 8】



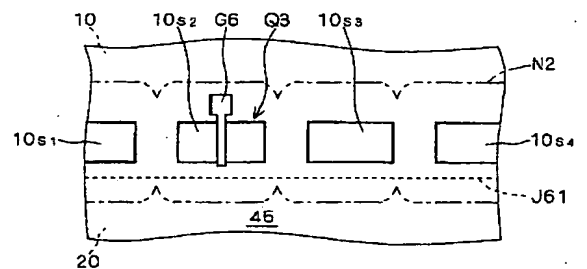
【図 9】



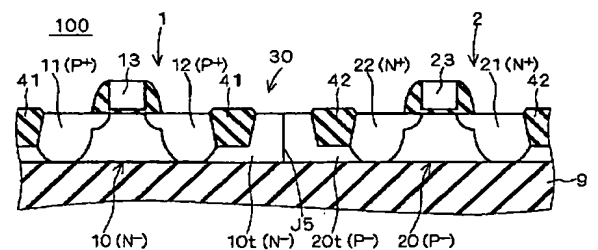
【図 10】



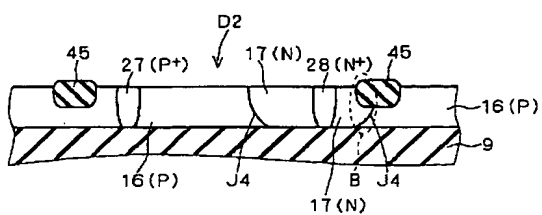
【図 1 1】



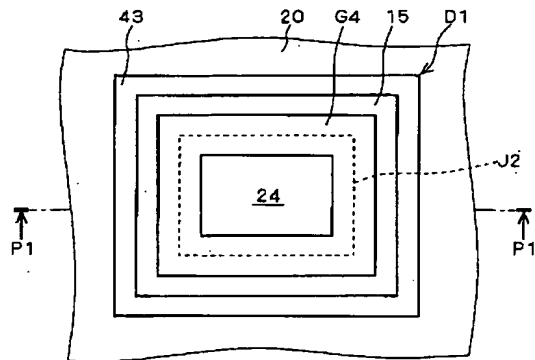
【図 18】



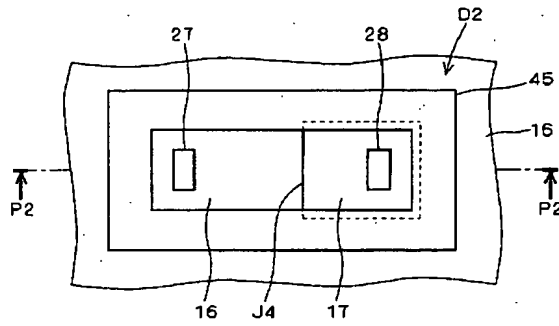
【図 15】



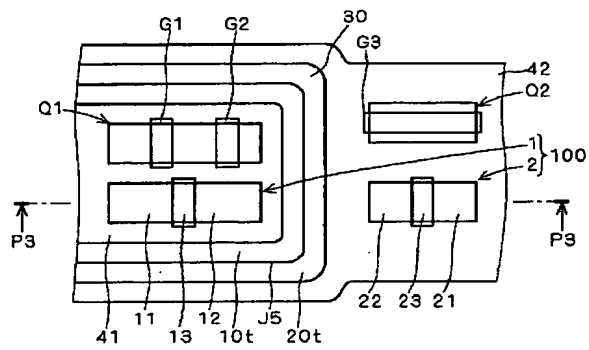
【図12】



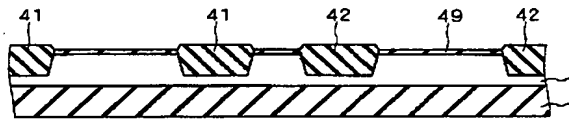
【図14】



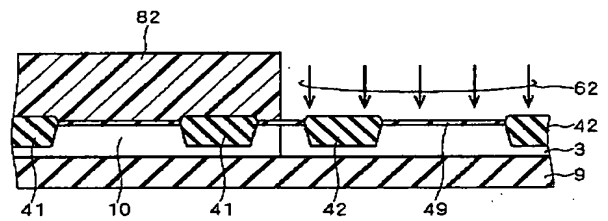
【図17】



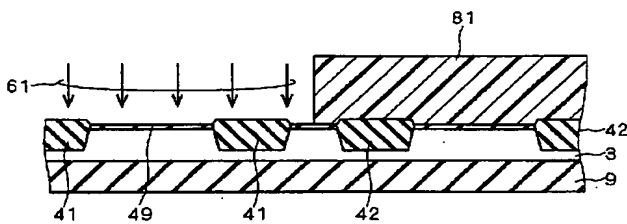
【図19】



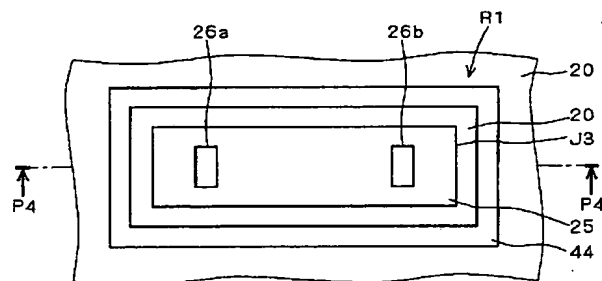
【図21】



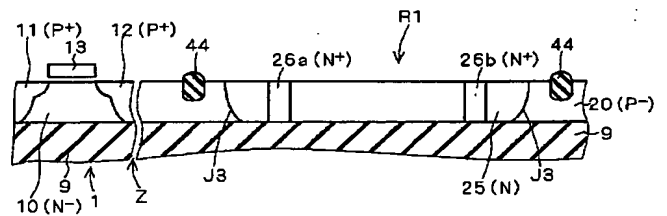
【図20】



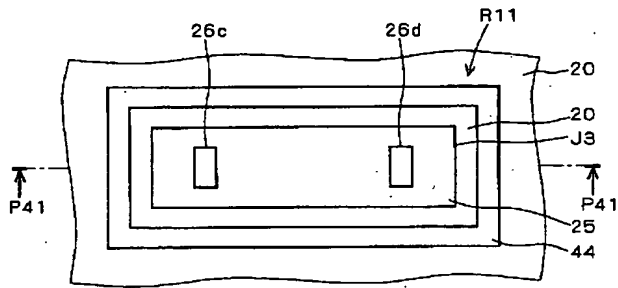
【図22】



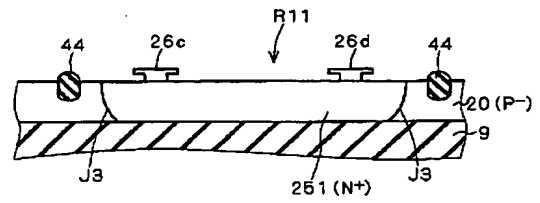
【図23】



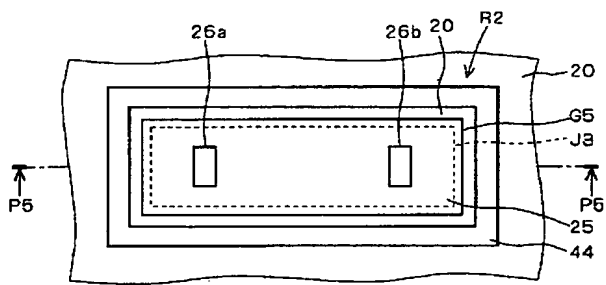
【図24】



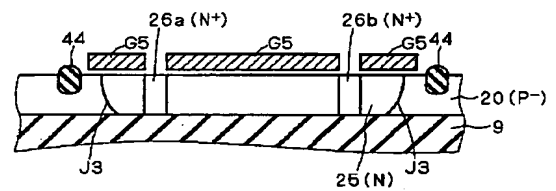
【図25】



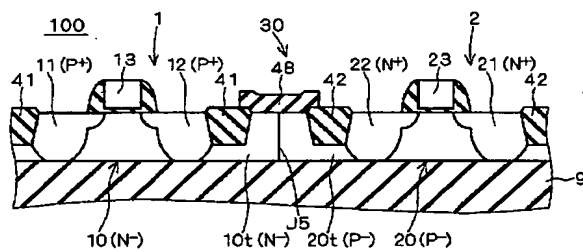
【図26】



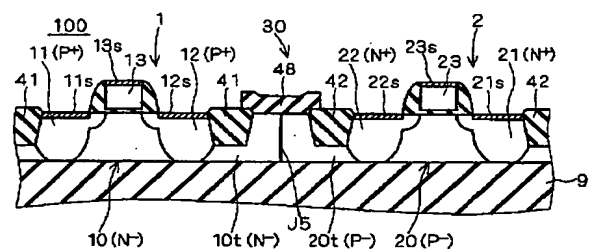
【図27】



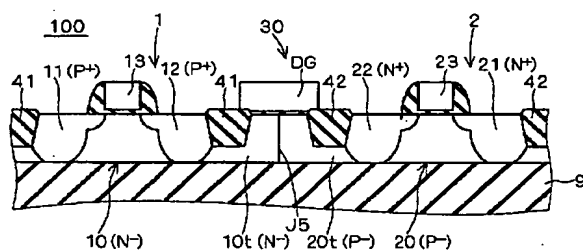
【図28】



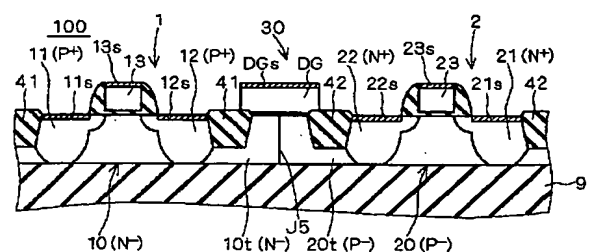
【図29】



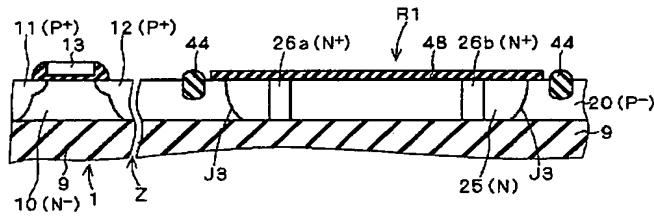
【図30】



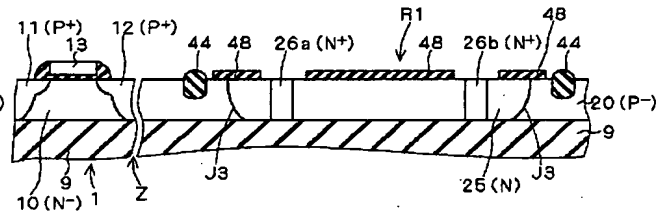
【図31】



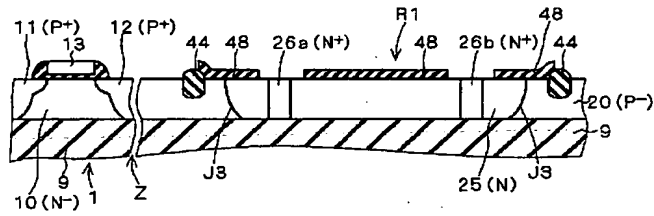
【図 3 2】



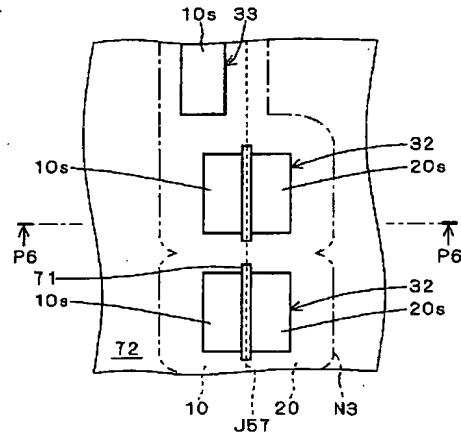
【図 3 3】



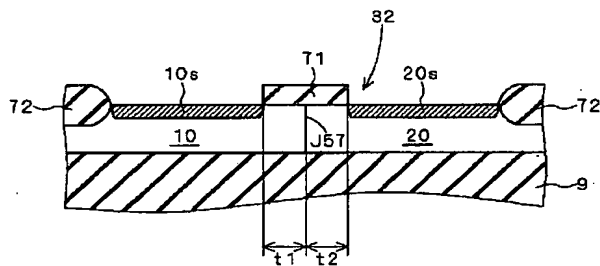
【図 3 4】



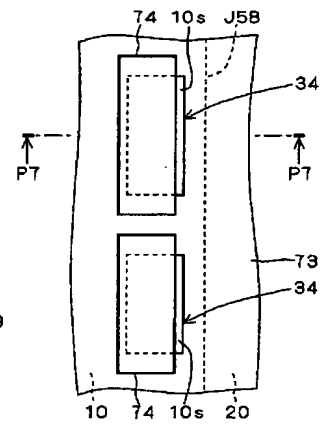
【図 3 5】



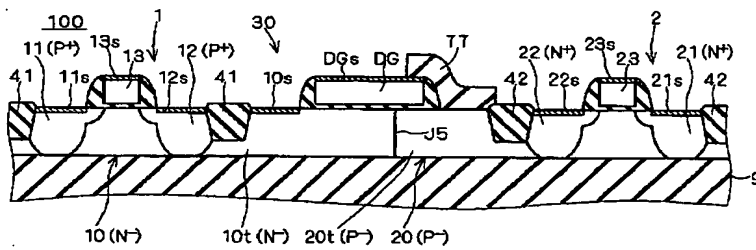
【図 3 6】



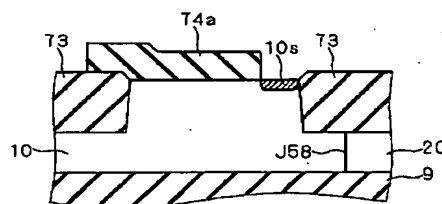
【図 40】



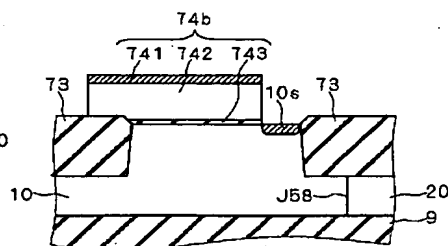
【図 3 7】



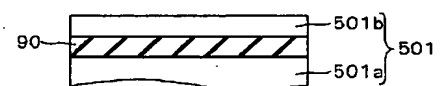
【圖 4 1】



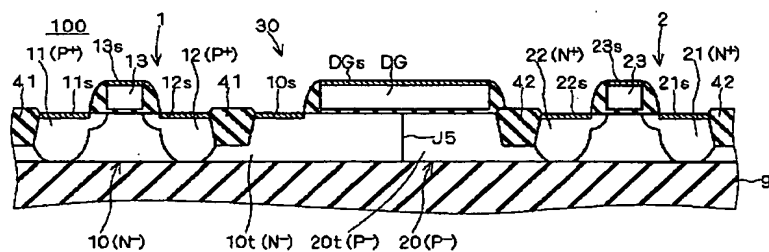
【図 4 2】



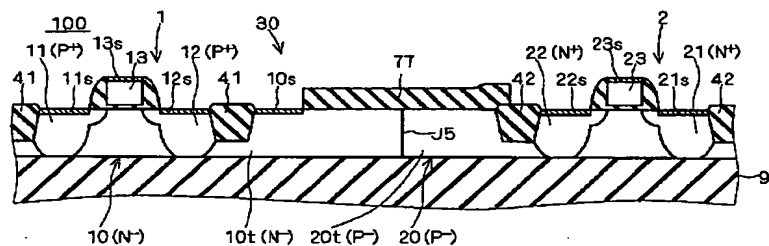
【図 4 6】



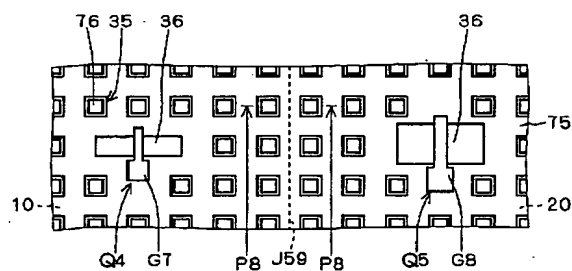
【図 3 8】



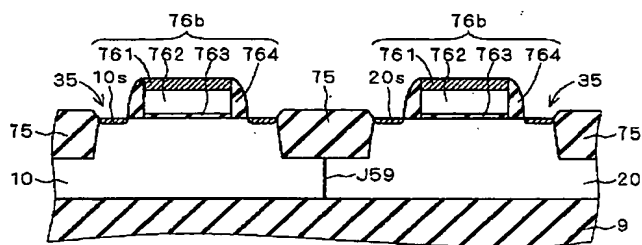
【图 3 9】



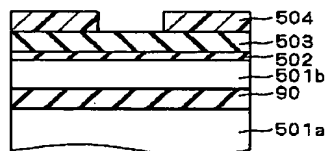
【図 4 3】



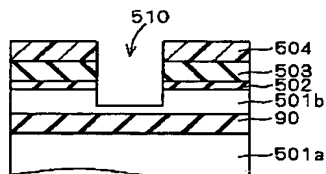
【図 4 5】



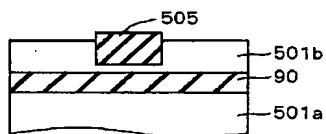
【図 4 7】



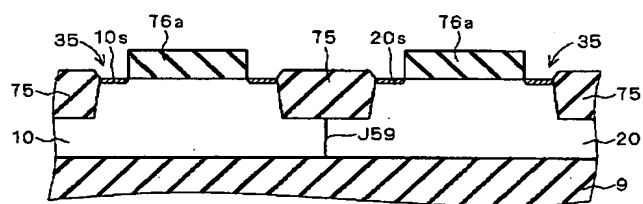
【图 4 8】



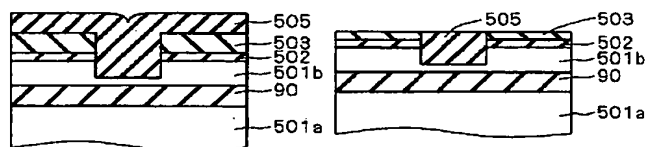
【図 5 1】



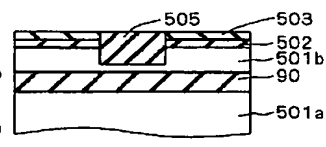
【图 4 4】



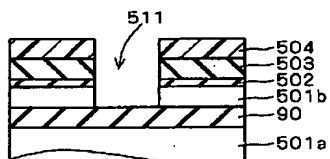
【图 4 9】



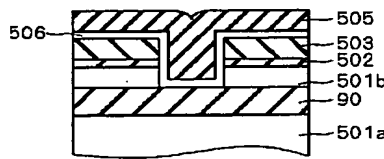
【図 50】



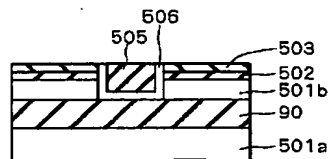
【図52】



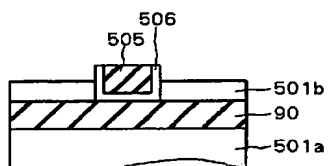
【図53】



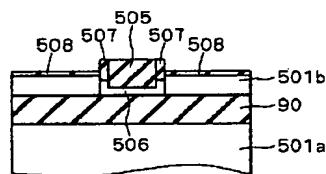
【図54】



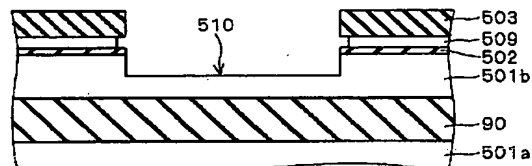
【図55】



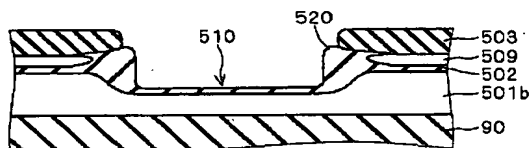
【図56】



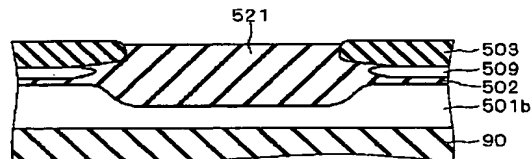
【図57】



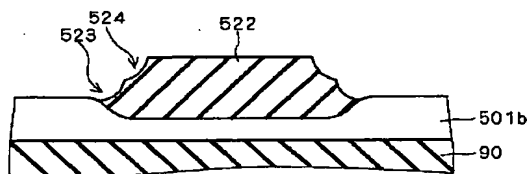
【図58】



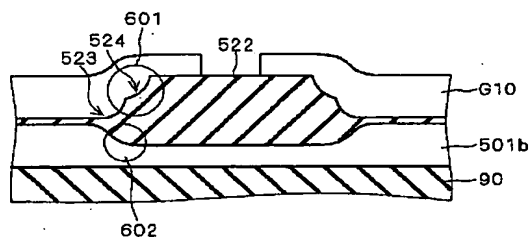
【図59】



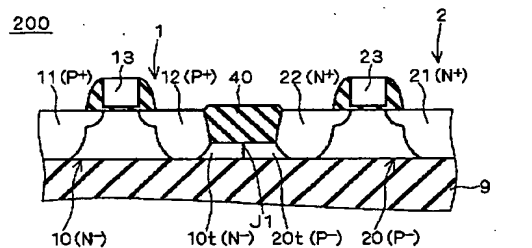
【図60】



【図61】



【図62】



フロントページの続き

(51) Int. Cl.⁷
H01L 29/861

識別記号

FI
H01L 29/91

テーマコード(参考)

D

F ターム(参考) 5F032 AA11 AA91 AB02 BA01 BB01
CA14 CA15 CA17 CA20
5F038 AR01 AR03 AR26 AV06 EZ06
EZ20
5F048 AA04 AC01 AC03 AC10 BA16
BB05 BB08 BC06 BE03 BF06
BF16 BG07 DA23
5F110 AA06 BB04 CC02 DD05 DD13
EE05 EE09 EE14 EE31 FF02
GG02 GG12 GG24 GG25 GG32
GG52 HK05 HK40 NN62 NN65
NN71 QQ17